

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102571  
 (43)Date of publication of application : 13.04.2001

(51)Int.Cl. H01L 29/78  
 H01L 21/316  
 H01L 21/76  
 H01L 21/8234  
 H01L 27/088

(21)Application number : 11-274006 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 28.09.1999 (72)Inventor : SATAKE HIDEKI  
 MITANI YUICHIRO

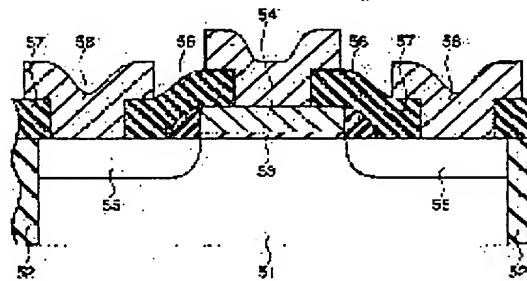
## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device where service life deterioration can be prevented, while high insulating destruction resistance is maintained as is.

**SOLUTION:** A semiconductor device has an element region formed in a semiconductor substrate 51, an insulating film 53 formed on the element region and a conduction layer 54 formed on the insulating film. A sandwiched region sandwiched by the conductive layer and the element region exists in the insulating film.

Halogen element concentration at the end part of the sandwiched region is higher than that at the center of the sandwiched region.



### LEGAL STATUS

[Date of request for examination] 12.10.2001

[Date of sending the examiner's decision 16.05.2003  
 of rejection]

[Kind of final disposal of application  
 other than the examiner's decision of  
 rejection or application converted  
 registration]

[Date of final disposal for application]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-102571

(P2001-102571A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.<sup>7</sup>  
H 01 L 29/78  
21/316  
21/76  
21/8234  
27/088

識別記号

F I  
H 01 L 21/316  
29/78  
21/76  
27/08

テマコード(参考)  
P 5 F 0 3 2  
3 0 1 G 5 F 0 4 0  
N 5 F 0 4 8  
1 0 2 B 5 F 0 5 8

審査請求 未請求 請求項の数 6 O.L. (全 7 頁)

(21) 出願番号 特願平11-274006

(22) 出願日 平成11年9月28日 (1999.9.28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐竹 秀喜

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 三谷 祐一郎

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

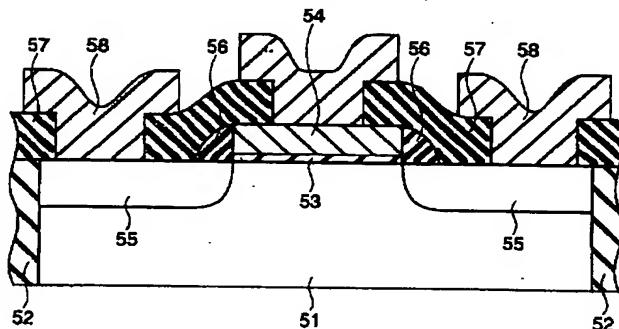
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 本発明の目的は、高い絶縁破壊耐性を維持したまま、寿命劣化を防ぐことが可能な半導体装置を提供することである。

【解決手段】 半導体基板51に形成された素子領域と、前記素子領域上に形成された絶縁膜53と、前記絶縁膜上に形成された導電層54を有し、前記絶縁膜には前記導電層と前記素子領域の間に挟まれた挟み領域があり、前記挟み領域の端部のハロゲン元素濃度が前記挟み領域の中央部のハロゲン元素濃度よりも高い半導体装置。



**【特許請求の範囲】**

**【請求項1】** 半導体基板に形成された素子領域と、前記素子領域上に形成された絶縁膜と、前記絶縁膜上に形成された導電層を有し、前記絶縁膜には前記導電層と前記素子領域の間に挟まれた挿み領域があり、前記挿み領域の端部のハロゲン元素濃度が前記挿み領域の中央部のハロゲン元素濃度よりも高い半導体装置。

**【請求項2】** 前記端部は前記挿み領域の端から $200\text{ nm}$ 以内の領域である請求項1記載の半導体装置。

**【請求項3】** 前記端部のハロゲン元素濃度は $1 \times 10^{20}\text{ cm}^{-3}$ 以上 $1 \times 10^{21}\text{ cm}^{-3}$ 以下であり、前記中央部のハロゲン元素濃度は $1 \times 10^{20}\text{ cm}^{-3}$ 未満である請求項1記載の半導体装置。

**【請求項4】** 前記ハロゲン元素がフッ素である請求項1記載の半導体装置。

**【請求項5】** 半導体基板に、素子領域を囲み、ハロゲン元素を含有する第1絶縁膜を形成する工程と、前記素子領域上に第2絶縁膜を形成する工程と、前記第1絶縁膜から前記第2絶縁膜にハロゲン元素を拡散させる工程と、

前記素子領域上に導電層を形成する工程を備える半導体装置の製造方法。

**【請求項6】** 第1領域とこの第1領域と接する第2領域を有する半導体基板の前記第1及び第2領域上に絶縁膜を形成する工程と、前記第1領域上の絶縁膜に前記ハロゲン元素を導入する工程と、前記第1領域上の絶縁膜から前記第2領域上の絶縁膜に前記ハロゲン元素を拡散させる工程と、前記第2領域上に導電層を形成する工程を備える半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、ゲート絶縁膜に関し、特に、フッ素を導入したゲート絶縁膜に関する。

**【0002】**

**【従来の技術】** L S I の高速化・低消費電力化に伴い、M O S トランジスタ等のM I S トランジスタは微細化の一途をたどっており、トランジスタのゲート絶縁膜厚は急速に薄膜化されている。そのため、極薄のゲート絶縁膜を均一かつ高い信頼性を保持して形成する技術が求められている。

**【0003】** また、E E P R O M (Electrically Erasable Programmable ROM) に代表されるような、ゲート絶縁膜がトンネル絶縁膜として利用される素子では、書き込み及び消去の際に高電界がゲート絶縁膜に印加されることにより、電界から高いエネルギーを得た電子が絶縁膜を通過するため、ゲート絶縁膜には高い絶縁破壊耐性が要求される。

**【0004】** このような要求に対し、シリコン酸化膜に代表されるゲート絶縁膜中にハロゲン元素、特にフッ素を導入することで膜質が改善されることが知られている。また、フッ素原子をシリコン／シリコン酸化膜界面に導入することで、界面準位生成が抑制されることについても、いくつかのグループから報告されている（例えば、Y. Nishioka et al., IEEE Electron Device Lett. 10, pp. 141-143 (1989) .）。

**【0005】** フッ素のゲート絶縁膜や基板への導入方法としては、ゲート電極中にフッ素をイオン注入し、このフッ素を熱拡散によってゲート絶縁膜中に導入する方法や、ゲート電極の側壁に形成された絶縁膜にイオン注入した後、熱拡散によってゲート絶縁膜中に導入する方法が知られている。

**【0006】** このように、ある程度の濃度 ( $1 \times 10^{19}\text{ cm}^{-3}$ 以上 $1 \times 10^{21}\text{ cm}^{-3}$ 以下) のフッ素を導入することによって、ゲート絶縁膜の絶縁破壊耐性は向上する。しかし、不必要に多量 ( $1 \times 10^{21}\text{ cm}^{-3}$ を超える) のフッ素原子を導入すると、絶縁膜中のトラップ（格子欠陥）を増加させ、M I S トランジスタの寿命を低下させる。

**【0007】** 上記のような従来のフッ素導入方法では、絶縁破壊耐性が高いゲート絶縁膜を実現するための、ゲート絶縁膜に適切なフッ素濃度分布を設けることが困難であるという問題があった。

**【0008】**

**【発明が解決しようとする課題】** 本発明の目的は、高い絶縁破壊耐性を維持したまま、寿命劣化を防ぐことが可能な半導体装置を提供することである。

**【0009】**

**【課題を解決するための手段】** 本願第1の発明は、半導体基板に形成された素子領域と、前記素子領域上に形成された絶縁膜と、前記絶縁膜上に形成された導電層を有し、前記絶縁膜には前記導電層と前記素子領域の間に挟まれた挿み領域があり、前記挿み領域の端部のハロゲン元素濃度が前記挿み領域の中央部のハロゲン元素濃度よりも高い半導体装置である。本願第2の発明は、前記端部は前記挿み領域の端から $200\text{ nm}$ 以内の領域である本願第1の発明に記載の半導体装置である。本願第3の発明は、前記端部のハロゲン元素濃度は $1 \times 10^{20}\text{ cm}^{-3}$ 以上 $1 \times 10^{21}\text{ cm}^{-3}$ 以下であり、前記中央部のハロゲン元素濃度は $1 \times 10^{20}\text{ cm}^{-3}$ 未満である本願第1の発明に記載の半導体装置である。本願第4の発明は、前記ハロゲン元素がフッ素である本願第1の発明に記載の半導体装置である。本願第5の発明は、半導体基板に、素子領域を囲み、ハロゲン元素を含有する第1絶縁膜を形成する工程と、前記素子領域上に第2絶縁膜を形成する工程と、前記第1絶縁膜から前記第2絶縁膜にハロゲン元素を拡散させる工程と、前記素子領域上に導電層を形成する工程を備える半導体装置の製造方法である。本

願第6の発明は、第1領域とこの第1領域と接する第2領域を有する半導体基板の前記第1及び第2領域上に絶縁膜を形成する工程と、前記第1領域上の絶縁膜に前記ハロゲン元素を導入する工程と、前記第1領域上の絶縁膜から前記第2領域上の絶縁膜に前記ハロゲン元素を拡散させる工程と、前記第2領域上に導電層を形成する工程を備える半導体装置の製造方法である。

【0010】上記の目的を達成するために、本発明では、ゲート絶縁膜が絶縁破壊を起こすまでの過程を詳細に観察した。図1は、この観察で用いた実験モデルの概略図である。本実験モデルは、素子分離領域4で囲まれた素子領域（不図示）上に絶縁膜3が形成されている。そして、ホットエレクトロン顕微鏡を用いて、絶縁膜3と素子領域間で電圧を印加しながら全素子領域の発光過程を観測して、絶縁破壊が起きるまでに、発光挙動がどのように変化するかを調べた。これは、電子と正孔の再結合が起きる時に放出されるエネルギーによって発光が起きることを利用し、ゲート酸化膜が絶縁破壊を起こした際には絶縁性が極端に弱くなり、きわめて強い発光が観測される。

【0011】その結果、絶縁膜3の中で、素子分離端近傍から約200nm以内の領域（破壊初生点1）で微弱な発光が開始し、その発光が絶縁膜全域に広がり、最後に一点で強い発光と共に絶縁破壊（絶縁破壊点2）を起こすことがわかった。また、絶縁破壊を起こした箇所（絶縁破壊点2）の断面をTEM（Transmission Electron Microscope）によって観察してみると、約200nmの直径で絶縁破壊を起こしていることがわかった。

【0012】この実験結果に基づいて、本発明では、絶縁破壊の発生点である素子領域端近傍に素子領域中央部よりも高濃度のフッ素を導入する。特に、素子分離端から200nmの領域において高濃度に設定する。本発明によれば、絶縁破壊の発生を遅らせることができ、絶縁破壊寿命の伸長を実現できる。さらに、素子領域中央部に導入するフッ素濃度を素子領域端近傍よりも低くすることができるので、フッ素導入に伴う絶縁膜中のトラップ（格子欠陥）が増加するのを抑えることができ、素子寿命の低下を防止できる。

【0013】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態について説明する。

【0014】図2は第1の実施形態に係るnチャネルMISトランジスタの断面構成を示した図である。51はp型シリコン基板、52は素子分離領域、53はフッ素を含んだゲート絶縁膜である。フッ素は、素子分離領域52に埋め込まれた絶縁膜の上部にドーピングされ、ここから熱拡散によってゲート絶縁膜53中に導入される。尚、図示していないが、本断面図と垂直な方向（以下、トランジスタの奥行方向という）ではゲート絶縁膜53と素子分離領域52は接している。従って、素子領域中

央部よりも素子分離領域端近傍で濃度が高くなるようにフッ素が導入されている。54はポリシリコンからなるゲート電極、55はn型不純物が導入された拡散層（ソース・ドレイン領域）である。56は、ゲート電極54の側壁に形成された絶縁膜（例えばCVDシリコン窒化膜など）、57は層間絶縁膜（例えばCVDシリコン酸化膜など）であり、この層間絶縁膜57に設けられたコントラクト孔を介して、ゲート電極54およびソース・ドレイン領域55にA1などの配線58が接続されている。図3は、図2に示したnチャネルMISトランジスタの奥行方向の断面図を示す。素子分離領域52に埋め込まれた絶縁膜の上部にドーピングされたフッ素は、熱拡散によってゲート絶縁膜53中に導入されている。

【0015】次に、図4を参照して、図2に示す構造を有するMOSトランジスタの製造方法の第1実施形態について、主として素子分離領域52に埋め込まれた絶縁膜の上部にフッ素をドーピングし、ここから熱拡散によってゲート絶縁膜53中に導入する工程を中心に説明する。

【0016】まず、面方位(100)、比抵抗4～6Ωcmのp型シリコン基板51上に、反応性イオンエッチングにより、素子分離のための溝を形成する。続いて、例えばLP-TEOS（Low Pressure-Tetra-Ethoxy-Silane）膜を埋め込むことにより素子分離領域52を形成する。LP-TEOS膜を埋め込む際、埋め込み領域上部を充填する時に、例えばSiF<sub>4</sub>ガスを付加することによって、素子分離領域上部にフッ素原子を含有させる（図4(a)）。尚、埋め込み領域上部だけにフッ素原子を含有しているが、埋め込み領域全体に含有してもかまわない。

【0017】次に、例えば750℃、1気圧において、酸素ガスと水素ガスの混合ガス中にシリコン基板51を晒してシリコン酸化膜を形成する。さらに例えば900℃において、窒素ガスで10%に希釀した一酸化窒素ガス(NO)あるいは一酸化二窒素ガス(N<sub>2</sub>O)中にシリコン酸化膜を晒すことにより、シリコン酸化膜中に窒素原子が導入された厚さ2.5nmのゲート絶縁膜53を形成する（図4(b)）。

【0018】次いで、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば450℃、圧力10mTorr～1気圧において、窒素ガスで希釀したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば5～200nmのCVDシリコン窒化膜56を堆積する。その後、加速電圧10～50keV、ドーズ量1×10<sup>13</sup>～1×10<sup>16</sup>cm<sup>-2</sup>で、フッ素イオンを全面に注入する。さらに、例えば300～850℃の温度で、1～60分間、シリコン基板を窒素ガス雰囲気中に晒して、CVDシリコン窒化膜56中に注入されたフッ素原子および素子分離領域上部にドーピングされたフ

フッ素原子をゲート絶縁膜53中に導入する(図4(c))。このとき、フッ素原子は、ゲート絶縁膜53の中を、またはゲート絶縁膜53とシリコン基板51の界面を通って、ゲート絶縁膜53の中に拡散している。

【0019】以後の工程は、通常のMOSトランジスタの製造工程と同様である。すなわち、例えば加速電圧 $20\text{ keV}$ 、ドーズ量 $1 \times 10^{15}\text{ cm}^{-2}$ で砒素のイオン注入を行い、ソース領域・ドレイン領域を形成する。続いて、化学気相成長法によって全面に層間絶縁膜となるCVDシリコン酸化膜を堆積し、この層間絶縁膜にコンタクト孔を開口する。続いて、スパッタ法によって全面にA1膜を堆積し、このA1膜を反応性イオンエッチングによってパターニングすることにより、図2に示したような構造を有するMOSトランジスタが完成する。

【0020】尚、図4(a)では、シリコン窒化膜を堆積してから、素子分離領域にフッ素を導入し、それから、ゲート絶縁膜53を形成している。しかし、この形成順番に限られず、ゲート絶縁膜に先に形成し、その後シリコン窒化膜を堆積してから、素子分離領域上部にフッ素を導入してもかまわない。また、素子分離領域近傍の素子領域にもフッ素を導入してもかまわない。

【0021】次に、図5を参照して、図2に示すゲート絶縁膜53へのフッ素導入工程の第2実施形態について説明する。

【0022】まず、面方位(100)、比抵抗 $4 \sim 6\Omega\text{ cm}$ のp型シリコン基板51上に、反応性イオンエッチングにより、素子分離のための溝を形成する。続いて、例えばLPT-EOS膜を埋め込むことにより素子分離領域52を形成する。次いで、全面に厚さ $100\text{ nm}$ のシリコン窒化膜を形成し、パターニングした後、例えば、加速電圧 $10 \sim 50\text{ keV}$ 、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{16}\text{ cm}^{-2}$ で、フッ素イオンを全面に注入する(図5(a))。

【0023】次に、例えば $750^\circ\text{C}$ 、1気圧において、酸素ガスと水素ガスの混合ガス中にシリコン基板51を晒してシリコン酸化膜を形成する。さらに例えば $900^\circ\text{C}$ において、窒素ガスで $10\%$ に希釈した一酸化窒素ガス(NO)あるいは二酸化二窒素ガス(N<sub>2</sub>O)中にシリコン酸化膜を晒すことにより、シリコン酸化膜中に窒素原子が導入されたゲート絶縁膜53を形成する(図5(b))。

【0024】次いで、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば $450^\circ\text{C}$ 、圧力 $10\text{ mTorr} \sim 1\text{ 気圧}$ において、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば $5 \sim 200\text{ nm}$ のCVDシリコン窒化膜56を堆積する。その後、加速電圧 $10 \sim 50\text{ keV}$ 、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{16}\text{ cm}^{-2}$ で、フッ素イオンを全面に注入する。さらに、例えば $300 \sim 850^\circ\text{C}$ の温度で、 $1 \sim 60$ 分間にシリコン基板を窒素ガス雰囲気中に晒して、CVDシリコン窒化膜56中に注入されたフッ素原子および素子分離領域上部にドーピングされたフッ素原子をゲート絶縁膜53中に導入する(図6(c))。

度で、 $1 \sim 60$ 分間にシリコン基板を窒素ガス雰囲気中に晒して、CVDシリコン窒化膜56中に注入されたフッ素原子および素子分離領域上部にドーピングされたフッ素原子をゲート絶縁膜53中に導入する(図5(c))。

【0025】以後の工程は、通常のMISトランジスタの製造工程と同様である。すなわち、例えば加速電圧 $20\text{ keV}$ 、ドーズ量 $1 \times 10^{15}\text{ cm}^{-2}$ で砒素のイオン注入を行い、ソース領域・ドレイン領域を形成する。続いて、化学気相成長法によって全面に層間絶縁膜となるCVDシリコン酸化膜を堆積し、この層間絶縁膜にコンタクト孔を開口する。続いて、スパッタ法によって全面にA1膜を堆積し、このA1膜を反応性イオンエッチングによってパターニングすることにより、図1に示したような構造を有するMISトランジスタが完成する。

【0026】次に、図6を参照して、素子分離端近傍にフッ素原子を導入するフッ素導入工程の第3の実施形態について説明する。

【0027】図6は、nチャネルMOSトランジスタの奥行方向の断面図を示したものである。まず、面方位(100)、比抵抗 $4 \sim 6\Omega\text{ cm}$ のp型シリコン基板51上に、CVDシリコン窒化膜59を堆積した後でパターニングする。その後、例えば $1200^\circ\text{C}$ の温度で、5時間、酸素ガス中にさらして、素子分離のためのシリコン熱酸化膜60を形成する(図6(a))。

【0028】次に、加速電圧 $10 \sim 50\text{ keV}$ 、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{16}\text{ cm}^{-2}$ で、フッ素イオンを全面に注入する。その後、例えば $750^\circ\text{C}$ 、1気圧において、酸素ガスと水素ガスの混合ガス中にシリコン基板51を晒してシリコン酸化膜を形成する。さらに例えば $900^\circ\text{C}$ において、窒素ガスで $10\%$ に希釈した一酸化窒素ガス(NO)あるいは二酸化二窒素ガス(N<sub>2</sub>O)中にシリコン酸化膜を晒すことにより、シリコン酸化膜中に窒素原子が導入されたゲート絶縁膜53を形成する(図6(b))。

【0029】次いで、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば $450^\circ\text{C}$ 、圧力 $10\text{ mTorr} \sim 1\text{ 気圧}$ において、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば $5 \sim 200\text{ nm}$ のCVDシリコン窒化膜56を堆積する。その後、加速電圧 $10 \sim 50\text{ keV}$ 、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{16}\text{ cm}^{-2}$ で、フッ素イオンを全面に注入する。さらに、例えば $300 \sim 850^\circ\text{C}$ の温度で、 $1 \sim 60$ 分間にシリコン基板を窒素ガス雰囲気中に晒して、CVDシリコン窒化膜56中に注入されたフッ素原子および素子分離領域上部にドーピングされたフッ素原子をゲート絶縁膜53中に導入する(図6(c))。

【0030】以上のような手法に従って、素子領域端近

傍に高濃度にフッ素原子を導入することができる。

【0031】なお、本実施形態では、ゲート絶縁膜としてシリコン酸化膜および窒素を含有するシリコン酸化膜を例にあげたが、これに限定されるものではなく、シリコン窒化膜でもよい。また、マイクロ波やレーザーで活性化した酸素を用いて形成された酸化膜等を用いてもよく、さらに高誘電体膜を用いてもよい。

【0032】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

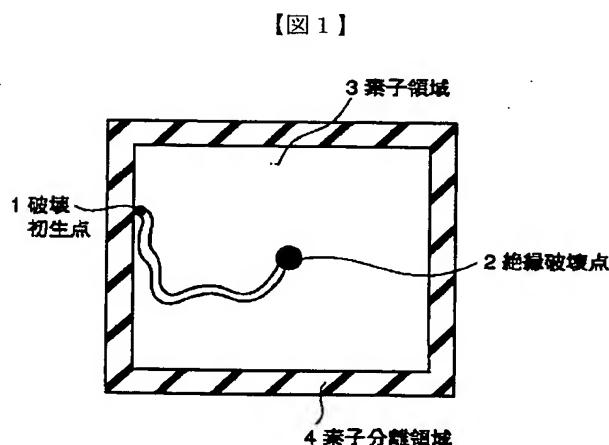
【0033】本発明によれば、素子領域の中央付近に対応した領域よりも、素子分離領域端付近に対応した領域に、より多くのハロゲン元素を導入することができる。素子分離領域端近傍から起こるゲート絶縁膜の絶縁破壊が起こり始めるまでの時間を長くすることができて、結果として、ゲート絶縁膜の絶縁破壊までの寿命を長くすることができる。

【0034】

【発明の効果】本発明によれば、高い絶縁破壊耐性を維持したまま、寿命劣化を防ぐことが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】 ゲート絶縁膜が絶縁破壊を起こす過程を調べる実験モデルの概略図。



【図2】 第1の実施形態に係るnチャネルMISトランジスタの断面構成を示す図。

【図3】 図2に示すnチャネルMISトランジスタの奥行方向の断面図。

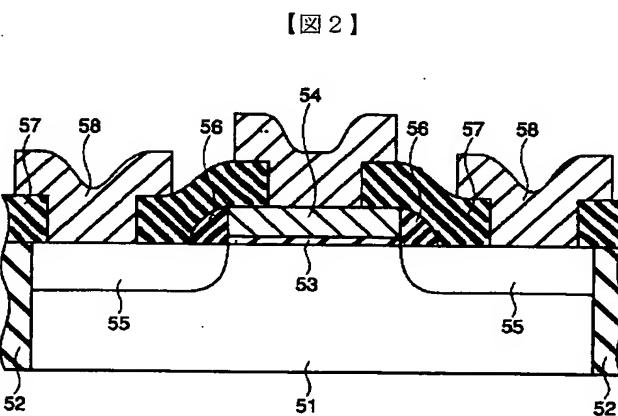
【図4】 図2に示すゲート絶縁膜へのフッ素導入工程を示す断面概略図。

【図5】 図2に示すゲート絶縁膜へのフッ素導入工程の第2実施形態を示す断面概略図。

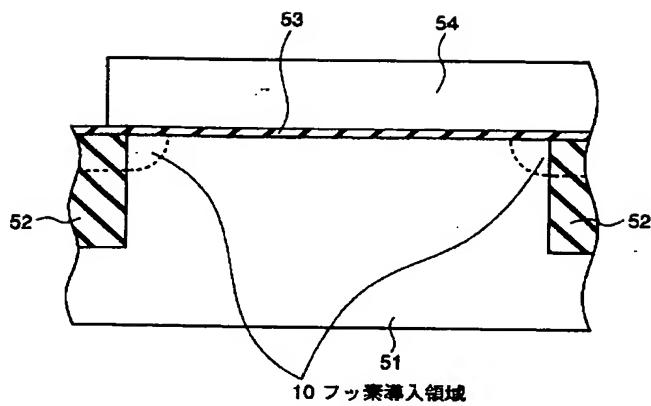
【図6】 素子分離端近傍にフッ素原子を導入するフッ素導入工程の第3の実施形態を示す断面概略図。

#### 【符号の説明】

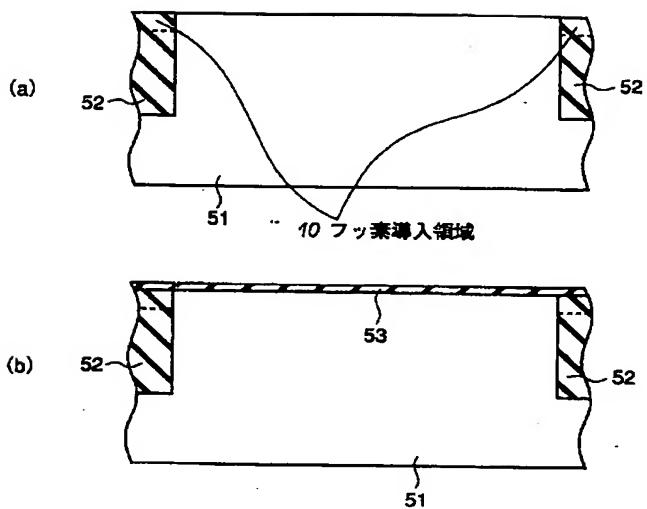
- 1 破壊初生点
- 2 絶縁破壊点
- 3 素子領域
- 4 素子分離領域
- 5.1 シリコン基板
- 5.2 素子分離領域
- 5.3 ゲート絶縁膜
- 5.4 ゲート電極
- 5.5 拡散層（ソース・ドレイン領域）
- 5.6, 5.9 CVDシリコン窒化膜
- 5.7 層間絶縁膜
- 5.8 配線
- 6.0 素子分離のためのシリコン熱酸化膜



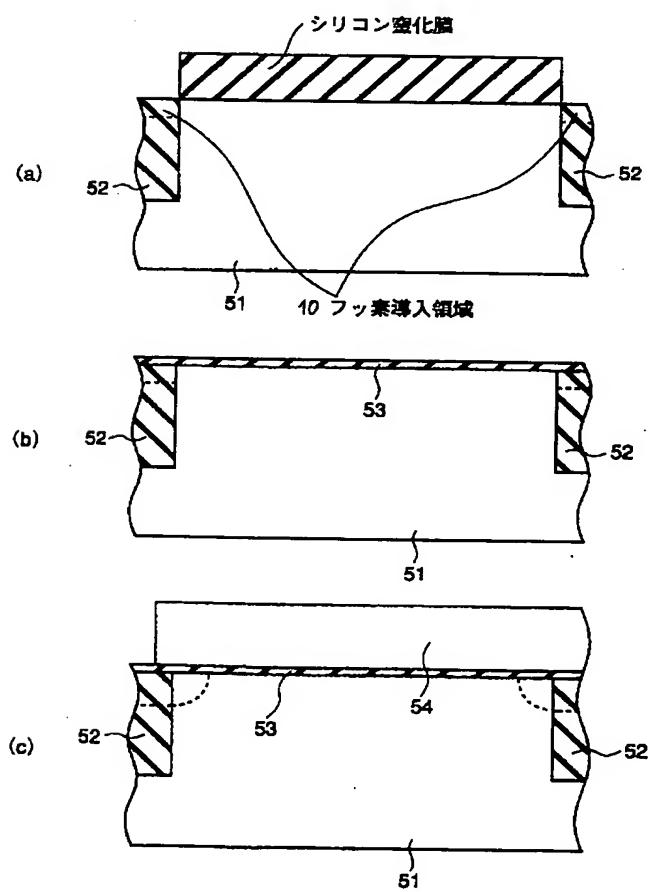
【図3】



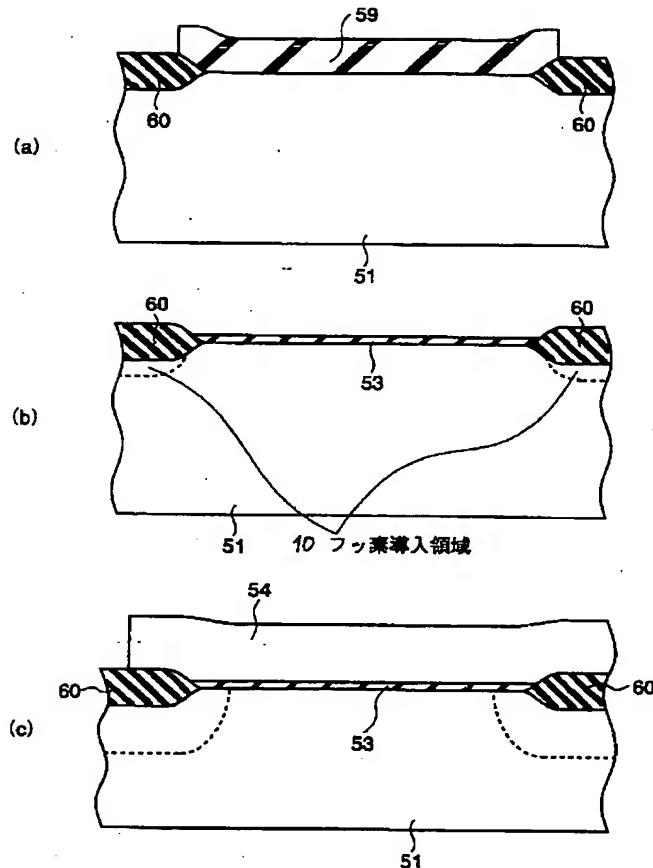
【図4】



【図5】



【図6】




---

フロントページの続き

F ターム(参考) 5F032 AA13 AA34 AA44 BA01 CA17  
 DA44 DA48 DA53 DA57 DA74  
 5F040 DA19 DC01 EC07 ED00 ED03  
 EE05 EK00 EK01 EK05 EL02  
 FA04 FA07 FC10 FC11 FC15  
 FC16  
 5F048 BA01 BB05 BF02 BG01 BG12  
 BG13 DA19 DA27  
 5F058 BA01 BC02 BF55 BF59 BF63  
 BH15 BJ01 BJ10